



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010107581

(43) Publication.Date. 20011207

(21) Application No.1020010026938

(22) Application Date. 20010517

(51) IPC Code:

H01L 21/8246

(71) Applicant:

HITACHI. LTD.

(72) Inventor:

SUZUKI TOSHIO

USAMI MITSUO

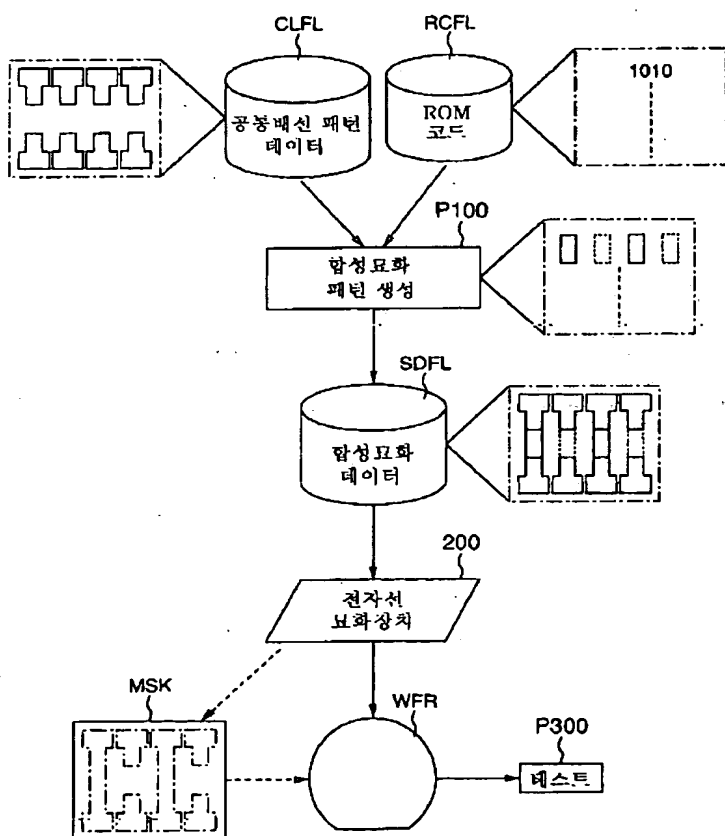
(30) Priority:

2000 2000156844 20000526 JP

(54) Title of Invention

DESIGN OF SEMICONDUCTOR INTEGRATED CIRCUIT, PRODUCING METHOD AND INSPECTION METHOD THEREOF AND SEMICONDUCTOR INTEGRATED CIRCUIT

Representative drawing



(57) Abstract:

PURPOSE: To provide a technique which unnecessitates an exclusive process for forming a pattern in order to determine storage data of stored ROM, simplifies the process and enables reducing a production cost.

CONSTITUTION: In this design and producing method of semiconductor integrated circuit in which plural semiconductor integrated circuits having the stored ROMs which are different in data to be stored are formed on one sheet of wafer, the ROM pattern is formed by being synthesized with the common pattern among plural semiconductor integrated circuits other than the said pattern.

© KIPO & JPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21/8246	(11) 공개번호 (43) 공개일자	특2001-0107581 2001년12월07일
(21) 출원번호	10-2001-0026938	
(22) 출원일자	2001년05월17일	
(30) 우선권주장	2000-156844 2000년05월26일 일본(JP)	
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼, 가나이 쓰토무 일본 000-000	
(72) 발명자	일본 도쿄도 치요다구 간다스루가다미 4초메 6반치 스즈키토시오 일본 일본국도쿄도치요다구마루노우치1초메5반1고신마루노우치비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄 혼부나미 우사미미츠오 일본 일본국도쿄도치요다구마루노우치1초메5반1고신마루노우치비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄 혼부나미	
(74) 대리인	특허법인 원전 임석재	
(77) 심사청구	없음	
(54) 출원명	반도체 집적회로의 설계, 제조방법 및 검사방법 및 반도체 집적회로	

요약

기억하는 데이터가 각각 다른 내장 ROM을 갖는 복수의 반도체 집적회로를 1개의 웨이퍼상에 형성하는 반도체 집적회로의 설계, 제조방법에 있어서, ROM 패턴을 당해 패턴 이외의 복수의 반도체 집적회로 사이에서 공통의 패턴과 합성하여 형성한다.

대표도

도1

색인어

내장 ROM, 모화장치, 공통배선패턴, ROM 패턴, 모화패턴

명세서

도면의 간단한 설명

도1은 본 발명에 앞서, 본 발명자 등이 고안해 내고, 고찰한 ROM을 내장한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 플로우차트이다.

도2는 본 발명의 실시시에 의한 ROM을 내장한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 플로우차트이다.

도3의 (a) ~ (d)는, 모화(描畵) 패턴도이며, 도3의 (a) 및 (d)는 ROM 패턴 이외의 공통패턴의 일예, 도3의 (b)는 ROM 패턴의 일예, 도3의 (c)는 합성배선패턴의 일예를 나타내는 도면이다.

도4는 내장 ROM의 회로 구성예를 나타내는 등가회로도이다.

도5는 본 발명의 다른 실시예에 의한 ROM을 내장한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 플로우차트이다.

도6의 (a) ~ (c)는, 도 5에 나타난 실시예의 방법을 적용한 반도체 집적회로 구조의 개략을 공정순으로 나타내는 단면도이다.

도7은 본 발명의 다른 실시예에 의한 ROM을 내장한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 플로우차트이다.

도8은 기존의 전자선 모화(描畵)장치를 사용하여 ROM 패턴을 포함하는 ROM 배선패턴을 모화하는 경우의 모화데이터 생성방법의 일예를 나타내는 플로우차트이며, 이 모화데이터 생성방법은, 본 발명의 실시예에 이용할 수 있다.

도9의 (a) ~ (d)는, 도7에 나타난 실시예에서 파일의 데이터 구성예를 나타내는 도면이다.

도10은 도7에 나타난 실시예에서의 웨이퍼를 복수의 영역으로 분할하는 경우의 분할방법의 일예를 나타내는 도면이다.

도11은 본 발명의 실시예에 이용할 수 있는 모화데이터 파일의 구성예를 나타내는 도면이다.

도12는 도11에 나타난 바와 같이 구성된 모화데이터 파일을 이용한 전자선 모화장치에서의 모화 처리순서의 일예를 나타내는 플로우차트이다.

도13은 본 발명의 다른 실시예에 의한 반도체 집적회로이 일예를 나타내는 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적회로의 제조, 나아가서는 ROM(read only memory)을 내장한 반도체 집적회로의 배선패턴의 형성에 관한 것으로, 예를 들면 각각의 내장 ROM에 고유의 코드를 저장한 복수의 반도체 집적회로 칩을 웨이퍼상에 형성하는 기술에 관한 것이다.

종래, 각각 고유의 데이터를 저장한 ROM을 내장한 반도체 집적회로는, 예를 들면 일본특허공개 평 8-139208호 (1996년 5월 31일 공개)에 나타나 있는 바와 같이, 우선 공률의 배선패턴 형성을 위한 공정이 실행되고, 이어서 ROM에 저장해야 할 데이터의 기록 공정이 실행됨으로써 제조된다.

본 발명자 등의 식견에 의하면, 상술의 반도체 집적회로의 설계/제조는 도 1에 나타나는 바와 같은 순서로 실행된다.

즉, 도 1을 참조하면, 공통배선패턴 파일(CLFL)에서 공통배선패턴을 판독하여, 공통배선패턴(100A)을 생성하고, 그 패턴(100A)을 공통배선 모화(描畵)데이터 파일(LDFL)에 저장한다.

한편, 각 칩 내의 ROM에 저장해야 할 ROM 코드가 기억된 ROM 코드 파일(RCFL)에서 ROM 코드를 판독하여 ROM 패턴을 생성하고, ROM 이외의 회로의 공통배선 패턴이 저장된 공통배선패턴 파일(CLFL)과는 별개의 ROM 패턴 모화(描畵)데이터 파일(ROM pattern exposure data file)(RDFL)에 저장해 둔다. 그리고, 전자선 모화(描畵)장치(200A)에 의해, 우선, ROM 이외의 회로의 공통배선패턴을 묘화한 마스크(MSK)를 작성하고 그 마스크를 이용하여 웨이퍼상에 공통배선패턴을 형성한 후, ROM 패턴 모화데이터 파일(RDFL)에서 ROM 패턴을 판독하여 전자선 모화장치(200B)에 의해 웨이퍼(WFR)상의 레지스트막에 직접 묘화하여 ROM 패턴을 형성한다. 즉, 상기 공통배선패턴과는 다른 공정(다른 금속층)을 이용하여 ROM 패턴이 형성된다.

도 1을 참조하여 상술한 기술은, 1개의 웨이퍼상에 형성된 칩의 사이즈가 10mm 각(角) 이상의 반도체 집적회로를 대상으로 해 두고, 1개의 웨이퍼상에 형성되는, ROM의 기억 데이터를 결정하는 패턴(ROM 패턴)이 다른 반도체 집적회로의 수(종류)는 겨우 50 ~ 60 종류였다. 그 때문에, ROM 패턴을 그리는 전자선 모화장치가 다루는 모화 데이터량도 그 정도로 많지 않고, 기존의 전자선 모화장치에서 1개의 웨이퍼상의 모든 칩에 관한 ROM 패턴을 웨이퍼상 혹은 1개의 마스크상에 묘화할 수 있었다.

본 발명자 등은, 칩 사이즈가 예를 들면 1mm 각 이하로 작고, 또 각각에 내장되는 ROM의 패턴이 다른 반도체 집적회로를 개발하는데 있어서, 상기과 같은 ROM 이외의 회로의 공통배선패턴과 ROM 패턴을 별도로 설계, 제조하는 기술에 대하여 검토를 행하였다. 그 결과, 칩 사이즈가 예를 들면 1mm 각 이하의 반도체 집적회로의 경우에는, 1개의 웨이퍼상에 5만개 내지 60만개 정도의 칩을 형성할 필요가 있으므로, ROM 이외의 회로의 공통배선 패턴과 ROM 패턴을 별도로 설계, 제조하는 기술에서는, 모화데이터 파일수가 5만 내지 60만이 되며, 모화 데이터량도 500GB ~ 600GB 정도로 방대해져 버린다.

그 경우, 모화데이터를 저장하기 위해 대규모의 자기디스크 장치를 전자선 모화장치에 접속하지 않으면 안된다. 또한, 묘화할 때는, 모화데이터를 자기디스크 장치에서 묘화를 메모리 장치로 전송하는 시간이 증대하고, 묘화시간이 예를 들면 1일 이상 걸려버린다. 따라서, 기존의 전자선 모화장치에서 1개의 웨이퍼상의 모든 칩에 관한 ROM 패턴을 웨이퍼상 혹은 1개의 마스크상에 형성할 수 없다는 것이 명백해졌다.

발명이 이루고자 하는 기술적 과제

이 발명은 상기과 같은 문제점에 착안하여 이루어진 것이므로, 내장 ROM의 기억 데이터를 결정하는 패턴(ROM 패턴)을 레지스트막상에 형성하기 위한 전용 공정이 필요하지 않아 제조 프로세스를 간략화하고 제조비용을 저감할 수 있는 기술을 제공하는 것을 목적으로 한다.

이 발명의 다른 목적은, 취급하는 모화데이터 파일수를 삭감하여, 기존의 전자선 모화장치에서 1개의 웨이퍼상의 모든 칩에 관한 ROM 패턴을 묘화할 수 있도록 하는 기술을 제공하는데 있다.

이 발명의 상기 및 그 이외의 목적과 신규한 특징에 대해서는, 본 명세서의 기술 및 첨부도면에서 명백해질 것이다.

발명의 구성 및 작용

본 발명의 일 측면에 의하면, 기억하는 데이터가 각각 다른 내장 ROM을 갖는 복수의 반도체 집적회로를 1개의 웨이퍼상에 형성하는 반도체 집적회로의 설계, 제조방법에 있어서, 상기 내장 ROM의 기억 데이터를 결정하는 패턴(이하, ROM 패턴이라 함)을, 당해 패턴 이외의 복수의 반도체 집적회로 사이에서 공통의 패턴과 합성하여 동시에 레지스트막상 혹은 감광막상에 형성하도록 하였다. 이것에 의해, 레지스트막상 혹은 감광막상에 ROM 패턴을 형성하기 위한 전용의 공정이 불필요해 지므로, 프로세스를 간략화할 수 있다.

본 발명의 다른 측면에 의하면, 각각 기억하는 데이터가 다른 내장 ROM을 갖는 복수의 반도체 집적회로를 1개의 웨이퍼상에 형성하는 반도체 집적회로의 설계, 제조방법에 있어서, 상기 내장 ROM의 기억 데이터를 결정하는 ROM 패턴을, 복수의 금속층 중 최상위층의 금속층으로 형성하는 것으로 하고, 당해 ROM 패턴과 그 이외의 복수의 반도체 집적회로 사이에서 공통패턴의 적어도 일부를 합성하여 합성배선 패턴으로 하고, 웨이퍼 표면에 도포된 레지스트막에 대하여 전자선 모화(描畵)장치에 의해 합성배선패턴을 묘화함으로써 ROM 패턴과 일부분의 공통배선 패턴을 동시에 형성하며, 당해 합성배선패턴 이외에는 마스크를 이용하여 형성하도록 한 것이다. 내장 ROM에 기억하는 데이터가 다른 복수의 반도체 집적회로를 1개의 웨이퍼상에 형성하는 경우, ROM 패턴의 형성에 마스크를 이용하면 웨이퍼마다 마스크를 준비해야 하므로, 마스크의 비용이 현저히 높아지지만, 전자선 모화장치에 의한 묘화에 의해 형성함으로써, 비용을 대폭으로 저감할 수 있다. 게다가, 레지스트막상에 ROM 패턴을 형성하기 위한 전용 공정이 불필요해지므로, 제조 프로세스를 간략화할 수 있음과 동시에, ROM 패턴은, 복수의 금속층 중 최상위층의 금속층이므로, ROM 패턴에 변경이 발생한 경우에 TAT를 단축할 수 있다.

본 발명의 다른 측면에 의하면, 기억하는 데이터가 각각 다른 내장 ROM과, 외부장치에 비접촉으로 데이터를 송신하는 송신회로와, 상기 송신을 위한 안테나를 갖는 반도체 집적회로의 검사방법에 있어서, 상기 송신회로에 의해 송신된 상기 내장 ROM의 기억 데이터를 수신하여 기대치 데이터와 비교하여, 당해 반도체 집적회로가 정상인지의 여부를 판정하도록 한 것이다. 이것에 의해, 칩에 테스트용의 단자를 설치하지 않고 검사를 행할 수 있다.

이하, 본 발명의 실시예를 도면에 의거하여 설명한다.

도 2는, 본 발명의 일 실시예에 의한 ROM을 내장한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 플로우차트이다.

본 실시예에서는, 1개의 웨이퍼상에 형성하는 복수의 칩 내의 각각의 ROM에 저장해야 할 ROM 코드가 기억된 ROM 코드 파일(RCFL)과 ROM 이외의 회로의 공통배선패턴 데이터가 저장된 공통배선패턴 파일(CLFL)을 준비해 둔다. 그리고, ROM 코드 파일(RCFL)에서는 ROM 코드를, 또, 공통배선패턴 파일(CLFL)에서는 공통배선 패턴 데이터 중 어떤 하나의 금속층(예를 들면 최상위층)의 데이터를 각각 판독하여, DA(design automation) 툴(tool) 등에 의해 그들 ROM 코드와 공통배선패턴을 합성한 모화(描畵)패턴을 형성하는 합성모화패턴 생성처리(P100)를 행하고, 생성된 합성배선패턴을 모화데이터 파일(SDFL)에 저장한다. 그리고, 전자선 모화장치(200)에 의해, 모화데이터 파일(SDFL)에서 모화데이터를 판독하여 모화처리를 행하여, ROM 패턴과 공통배선패턴을 동일한 공정 즉, 동일한 금속층을 이용하여 형성하고 웨이퍼를 완성시켜, 그 후 필요에 따라 테스트 처리(P300)를 행하는 것이다.

전자선 모화(描畵)장치(200)에 의한 모화는, 웨이퍼(WFR)상에 도포된 레지스트막에 대한 직접모화라고 되고, 일단 감광막을 구비한 마스크(MSK)에 합성패턴을 모화하고, 그 마스크를 이용하여 배선패턴을 형성하는 방법이라고 된다. 마스크를 사용할 경우에는, ROM 코드와 공통배선패턴 데이터에서 합성배선패턴을 생성하여 마스크를 제조 가능한 장치라면, 마스크의 작성은 전자선 모화장치에 한정되지 않는다. 또한, ROM 패턴과 합성되는 공통배선 패턴은, 최상위의 금속층에 한정되지 않고, 다른 금속층이라고 된다. 단, 최상위층으로 함으로써, 시작(試作) 후의 검사에서 결함이 발견되어 수정이 필요해 진 경우에 TAT(turn around time)를 단축할 수 있다.

ROM 패턴을 최상위층의 금속층으로 하고 그 형성을 전자선 모화장치에 의한 모화로 행하도록 한 경우에는, ROM 패턴을 포함하는 최상위층 적전까지의 웨이퍼를 미리 만들어 두고, 사용자로부터 ROM 코드를 받으면 그것에 의거하여 최상위층의 금속층 이후의 공정을 행함으로써 단기간에 제품을 완성시킬 수 있게 된다.

공통배선패턴에는, 각 칩에 내장되는 ROM을 구성하는 공통패턴 이외에, ROM 이외의 회로의 배선패턴이 포함된다. ROM 패턴이 최상위층의 금속층으로 구성되는 경우, ROM 패턴과 합성되는 ROM 이외의 회로의 공통배선패턴으로서는 예를 들면 전원배선을 생각할 수 있다. 또한, 후술의 배선패턴으로 이루어지는 안테나를 갖는 반도체 집적회로에서는, 안테나의 배선패턴을 ROM 패턴과 합성되는 공통배선패턴으로 하는 것도 가능하다.

본 실시예에서는, ROM의 기억 데이터를 결정하는 ROM 패턴 이외의 회로는 각 칩 사이에서 동일한 경우를 상정하고 있다. 도 3의 (a) 및 (d)에는, ROM을 구성하기 위한 공통패턴이, 도 3의 (b)에는 각 칩 고유의 ROM 패턴이, 도 3의 (c)에는 그것들을 합성한 후의 모화패턴이 예시되어 있다.

이러한 패턴을 갖는 ROM의 구체로서는, 예를 들면 도 4에 나타내는 바와 같이 서로 평행한 복수의 입력선(Li ~ Lim)과 서로 평행한 복수의 출력선(Lo1 ~ Lom)이 절연된 상태에서 직교로 배치되며, 각 교점에 도 3의 (c)의 패턴이 배치되어 한쪽의 단자가 입력선(Li ~ Lim) 중 어떤 것에, 또한 다른 쪽의 단자가 출력선(Lo1 ~ Lom) 중 어떤 것에 접속됨으로써, 도 4의 스위치(SW1, SW2, SWm)로서 설치되도록 된 구성을 생각할 수 있다. 도 4에는, 입력선(Li ~ Lim)과 출력선(Lo1 ~ Lom)이 직교하도록 배치되어 있지만, 평행하게 배치하는 것도 가능하다. 평행하게 배치한 경우에는 입력선(Li ~ Lim)과 출력선(Lo1 ~ Lom) 및 ROM 패턴을 모두 동일한 금속층으로 형성할 수 있다.

이 실시예의 ROM은, 2진 기억 데이터의 "1" 또는 "0"에 따라 도 3의 (a)와 같은 공통패턴(P1, P2 Pn)이 결락(缺落)하고 있는 개소(L1, L2 Ln)에, 도 3의 (b)의 ROM 패턴(C1, C3)을 붙음직의 여부를 결정하고, 도 3의 (c)에 나타내는 바와 같이, 붙은 경우에는 패턴이 도 3의 (a)와 같아 되어 예를 들면 데이터 "1"을 기억하고, 붙지 않은 경우는 패턴이 비도통 상태가 되어 데이터 "0"을 기억하고 있는 것과 통가가 되도록 구성된다.

또한, ROM 부분의 공통패턴(P'1, P'2 P'n)을 도 3의 (d)와 같이 미리 모두 접속상태가 된 패턴으로 합과 동시에, ROM 코드에 대응하는 ROM 패턴을 구멍 뚫기 즉, 절단용 패턴으로 하여, 이것들을 합성함으로써 도 3의 (c)와 동일한 모화패턴을 얻는 것도 가능하다.

도 5는, 본 발명의 제2 실시예에 의한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 플로우차트이다. 본 실시예는, 칩 내의 ROM에 저장해야 할 ROM 코드에 대응하는 ROM 패턴 및 ROM을 구성하기 위한 공통배선패턴의 일부를 전자선 직접 모화장치에 의해 최상위층의 금속층을 이용하여 형성하고 동시에, 그 이외의 회로의 공통배선패턴은 마스크를 이용하여 형성하도록 한 것이다.

또한, 여기에서 말하는 「그 이외의 회로의 공통배선패턴」에는, ROM 패턴 이외의 ROM을 구성하기 위한 공통배선패턴의 그 이외의 부분이 포함된다. 구체적으로는, 예를 들면 도 4에 나타낸 ROM에서, 입력선(Li ~ Lim)과 출력선(Lo1 ~ Lom)이 직교하고 있지만, 입력선(Li ~ Lim)과 스위치(SW1 ~ SWm)를 구성하는 ROM 패턴은 최상위층의 금속층을 이용하여 형성되고, 한편, 출력선(Lo1 ~ Lom)은 최상위층 이외의 금속층(예를 들면 4층 배선에서는 3층째 등의 금속층)을 이용하여 형성되는 구성으로 할 수 있으므로, 이 경우에는 출력선(Lo1 ~ Lom)이 「그 이외의 회로의 공통배선패턴」에 해당하고, 따라서, 마스크를 이용하여 형성된다.

도 5에 나타낸 실시예에서도, 1개의 웨이퍼상에 형성하는 복수의 칩 내의 ROM에 저장해야 할 ROM 코드가 기억된 ROM 코드 파일(RCFL)과 ROM 이외의 회로의 공통배선패턴 데이터가 저장된 공통배선패턴 파일(CLFL)을 준비해 둔다. 그리고, 공통배선패턴 파일(CLFL)에서 공통배선패턴 데이터를 판독하여, DA 툴 등에 의해 ROM 패턴 이외의 공통배선패턴을 형성하기 위한 마스크 모화데이터, 콘택트 홀(contact hole)을 형성하기 위한 마스크 모화데이터, 절연막의 패터닝용 마스크 모화데이터를 형성하기 위한 마스크 모화데이터 생성처리(P110)를 행하여, 생성한 모화데이터를 각각 대응하는 모화데이터 파일(DDFL1, DDFL2, DDFL3)에 저장한다.

한편, ROM 코드 파일(RCFL)에서 ROM 코드를, 또, 공통배선 패턴파일(CLFL)에서 ROM을 구성하는 공통배선패턴의 일부로서 ROM 패턴과 같은 방법으로 형성되어야 할 공통배선패턴을 각각 판독하여, DA 툴 등에 의해 이것들을 합성한 합성배선 모화패턴을 생성하는 합성배선 모화데이터 생성처리(P120)를 행하여 생성한 합성배선패턴 모화데이터를 합성배선 모화데이터 파일(SDFL)에 저장한다.

그리고, 상기 모화데이터 파일(DDFL1, DDFL2, DDFL3)에서 순차적으로 모화데이터를 판독하여, 전자선 모화장치(200A)에 의해 네가티브 필름 혹은 포토저의 필름에 모화를 행하여, 배선용 마스크(L-MSK), 콘택트용 마스크(C-MSK) 및 절연막용 마스크(I-MSK)를 작성한다. 또한, 이들 마스크는 각 용도에 하나씩이 아니라, 절연막 혹은 금속층의 수에 따른 배수만 작성된다.

이러한 후, 상기 마스크를 이용하여 웨이퍼(WFR)상에 절연막 및 최상위층의 금속층을 제거하는 금속층으로 이루어지는 배선패턴이 순차적으로 형성되어, 도 6의 (a)에 나타내는 바와 같은 구조가 얻어진다. 또한, 도 6의 (a)에서, 10은 단결정 실리콘과 같은 반도체 기판, 11a, 11b는 반도체 기판(10)의 표면에 형성된 확산층 등으로 이루어지는 소자(MOSFET)의 활성영역(소스-드레인 영역), 12는 소자의 전극(게이트 전극), 13a는 산화실리콘이나 질화실리콘 등으로 이루어지는 제1 층간 절연막, 15a, 15b, 15c는 층간 절연막(13a)에 형성된 콘택트홀을 통하여 활성영역(11a, 11b)이나 전극(12)에 접속된 알루미늄 등의 금속층으로 이루어지는 배선패턴이다. 도 6의 (a)에서는, 최상위층의 금속층으로 이루어지지 않고, 금속층으로 이루어지는 배선패턴(15a, 15b, 15c) 및 층간 절연막(13a)을 간략화하여 각각 한층으로 하여 나타내고 있지만, 실제로는 각각 2층 이상의 층구조인 것도 있다.

그리고, 다음에 최상위층의 금속층을 형성하기 전에 제2층간 절연막(13b)을 형성하고, 도 6의 (b)와 같이 그 층간 절연막(13b)에 최상위층의 금속층 중 하층의 금속층(15a ~ 15c)중 어떤 것에 접속하는 것이 있으면 그 접속을 위한 콘택트홀(14)을 형성한다. 다음의 최상위층 금속층의 형성에 있어서는, 전자선 모화장치(200B)에 의해, 합성배선 모화데이터 파일(SDFL)에서 모화데이터를 판독하여 웨이퍼 표면에 도포된 레지스트막에 직접 모화처리를 행하고, ROM 패턴 및 ROM을 구성하는 공통배선패턴의 일부가 되는 최상위층의 패턴(16a, 16b, 16c)을 형성하여, 도 6의 (c)에 나타내는 바와 같은 구조가 얻어진다.

또한, 도 5의 (c)에서, 16a, 16b, 16c가 최상위층의 금속층으로 이루어지는 배선패턴이며, 이 중 16a, 16b는 칩 사이에서 공통의 배선패턴(예를 들면 전원전압(Vcc)이나 접지전위를 소자에 공급하는 전원라인), 16c는 ROM 패턴이다. 최상위층의 금속층 형성 후, 안테나를 갖는 칩에서는 안테나용의 배선패턴이 절연막상에 형성된 후 패시베이션(passivation)막이 형성되고, 본딩패드(bonding pad)가 있는 경우에는 패시베이션막의 패드부에 개구가 형성되어 완성상태가 된다. 또한, 안테나용의 배선패턴은 ROM 패턴과 같은 최상위층으로 형성해도 된다.

도 7은, 본 발명의 제3 실시예에 의한 반도체 집적회로의 설계, 제조방법의 순서를 나타낸 흐름차트이다. 본 실시예는, 칩에 내장되는 ROM의 구조가 제1 및 제2 실시예와 다르고, ROM 코드에 대응하는 ROM 패턴으로 입력선과 출력선과의 사이를 접속하거나 접속하지 않음으로써 데이터를 기억하는 대신에, 예를 들면 도 4에 나타내는 바와 같이 서로 교차하도록 배치된 입력선(Li ~ Ljm)과 출력선(Loi ~ Lom)의 각 교점에 ROM 코드에 따라 콘택트홀(콘택트홀 도체)을 형성하는지의 여부로, 데이터를 기억하도록 한 ROM에 적응한 경우의 실시예이다.

이 실시예에서는, ROM 코드 파일(RCFL)에서는 ROM 코드를, 또 공통배선패턴 파일(CLFL)에서는 ROM 이외의 회로부분에서 특수의 절연막 중 어떤 하나로 형성되는 콘택트홀 데이터(예를 들면 최상위 금속층 바로 밑의 절연막으로 형성되는 콘택트홀 데이터)를 각각 판독하여, DA를 등에 의해 패턴생성처리(P100)를 행하여, ROM 코드와 콘택트홀 데이터와 합성한 모화데이터를 생성하고, 그 합성 콘택트홀 모화데이터를 합성 모화데이터 파일(CDFL)에 저장한다. 그리고, 전자선 모화장치(200)에 의해, 당해 파일(CDFL)에서 합성 콘택트홀 모화데이터를 판독하여, 콘택트홀 형성을 마스크(C-MSK) 혹은 웨이퍼 표면의 레지스트막에 직접 모화를 행하여, ROM의 콘택트홀과 ROM 이외의 콘택트홀을 동일한 공정으로 형성하도록 한 것이다.

이 실시예에 있어서는, 마스크를 사용하는 경우에는, ROM 코드와 ROM 이외의 공통패턴 데이터에서 합성 콘택트홀 패턴을 생성하여 마스크를 제조 가능한 장치라면, 마스크의 작성은 전자선 모화장치에 한정되지 않는다. 또한, ROM용의 콘택트홀과 ROM 이외의 회로의 콘택트홀은, 최상위의 금속층 바로 하층의 절연막에 한정되지 않고, 그것 보다도 하층의 절연막이라도 된다. 단, 상층의 절연막으로 할수록, 시작(試作) 후의 검사에서 결함이 발견되어 수정이 필요해진 경우에 TAT(turn around time)를 단축할 수 있다. 또한, 이 실시예에서 'ROM 이외의 콘택트홀'에는, ROM 기억 데이터를 결정하는 콘택트홀 이외의 내장 ROM에 대한 접속을 위한 콘택트홀이 포함된다. 구체적으로는, 예를 들면 도 4의 ROM에 나타낸 있는 입력선(Li ~ Ljm)이나 출력선(Loi ~ Lom)과, 이들의 배선을 다른 회로에 접속하기 위한 신호선을 접속하는 콘택트홀 등이 그것에 해당된다.

도 8은, 기존의 전자선 모화장치를 사용하여 ROM 패턴과 공통배선 패턴을 합성한 패턴을 모화하는 경우의 합리적인 모화데이터 생성방법의 일례를 나타내는 흐름차트이다. 기존의 전자선 모화장치는 웨이퍼가 어느 정도 큰 경우에는 그 전체에 대한 모화를 한번에 행할 수 있고, 웨이퍼 혹은 마스크로 되는 필름이 실린 스테이지를 스텝 이동시키면서 모화할 필요가 있다. 그 경우, 칩 단위로 모화를 행하는 것도 생각할 수 있지만, 1개의 웨이퍼상에 탑재되는 칩의 수가 5만개 내지 60만개에 달하면 칩 단위의 모화에서는 스테이지의 스텝 이동의 회수가 증가해버리므로, 효율적이지 않다.

그러서, 이 실시예에서는, 특수의 칩의 배선패턴을 통합하여 모화데이터를 생성하여 파일에 저장해 두고 모화장치로 건너주도록 함으로써, 전자선 모화장치에 의한 모화처리의 효율을 높이도록 한 것이다. 그 때문에, 이 실시예에서는, 도 9의 (a)와 같은 1개의 웨이퍼(WFR)상에 탑재되는 특수의 칩(CHIP)의 각각에 대하여, 칩 내의 배선이나 콘택트홀, 절연막 등의 모든 패턴 데이터(PD)를, 저장한 패턴 데이터 파일(PDFL1, PDFL2, ..., PDFLn)을 준비해 둔다. 이 파일(PDFL1, PDFL2, ..., PDFLn) 내에, 상기 실시예에서 설명한 패턴 생성장치에 의해 생성된 ROM 패턴과 공통패턴과의 합성모화패턴이 포함된다.

또한, 상기 칩마다의 파일(PDFL1, PDFL2, ..., PDFLn)과는 별개로, 각 칩의 웨이퍼상에서의 위치를 나타내는 칩 배치정보(C(x1, y2) ~ C(xn, yn))를 저장한 칩 배치정보파일(CPFL)을 준비해 둔다. 그리고, 우선 이 칩 배치정보(C)와, 1개의 칩의 크기와, 전자선 모화장치를 갖는 최대모화면 위에서, 예를 들면 도 10에 나타내는 바와 같이, 한번에 모화하는 칩의 수, 즉, 병합모화영역(m1 ~ m4)이 결정된다. 도 8에서, 병합모화영역(merged exposure area)(m1 ~ m4)의 각각에 대하여 영역 내에서의 각 칩의 위치를 나타내는 영역 내 배치정보(intra-area positional information)C'(x1, y2) ~ C'(x84, y84)와 각 영역의 웨이퍼(WFR)상에서의 위치를 나타내는 영역 배치정보(M1(x1, y1) ~ M4(x4, y4))를 생성하는 배치정보 생성처리(P130)를 행하고, 각각 다른 배치정보 파일(MAFL, MPFL)에 저장한다(도 9의 (c), 도 9의 (d) 참조). 각 영역(m1 ~ m4)의 웨이퍼(WFR)상에서의 배치(M1 ~ M4)는, 예를 들면 웨이퍼 중심을 원점으로 하는 X-Y 좌표계에서 각 영역의 중심좌표로서 나타낼 수 있다. 또한, 도시를 간략화하기 위해, 도 10에는 1개의 웨이퍼가 4개의 병합모화영역(m1 ~ m4)으로 분할되어 있는 모양을 나타내었지만, 더 많은 영역로 분할되는 것도 있다.

다음에, 도 8에서, 영역 내 배치정보 파일(MAFL)에서 하나의 영역 내 배치정보를 판독하여 그 영역에 속하는 칩 식별정보를 취득하고, 그것에 의거하여 패턴 데이터 파일(PDFL1, PDFL2,PDFLn)에서 대응하는 특수개의 칩의 ROM 패턴을 포함하는 최상위층의 배선패턴 데이터를 판독하며, DA를 통해 의해, 이것들의 배선 패턴 데이터를 영역 내에서의 칩 배치에 따라 정렬하고 서로 연결한 병합모호데이터를 생성하는 처리(P140)를 행한다. 그리고, 이러한 모호데이터의 생성을 각 병합 모호영역(M1 ~ M4)마다 행하여, 생성된 모호데이터를 모호 데이터 파일(DDFL)에 저장한다.

한편, 상기 영역배치정보 파일(MPFL)에서 웨이퍼상의 병합 모호영역 배치정보(M)를 판독하여 워크스테이션 등에 의해 웨이퍼상에서의 각 병합모호영역(M1 ~ M4)의 배치정보에서 전자선 모호장치가 판독할 수 있는 영역의 웨이퍼상의 위치를 나타내는 배열 데이터를 생성하는 배열 데이터 생성처리(P150)를 행하여, 생성된 배열 데이터를 배열 데이터 파일(ADFL)에 저장한다.

그리고 나서, 전자선 모호장치(200)에 의해, 모호데이터 파일(DDFL)에서 모호데이터를, 또, 배열 데이터 파일(ADFL)에서 배열 데이터를 각각 판독하여 웨이퍼(WFR) 표면에 도포된 레지스트막에 대한 직접 모호처리 혹은 마스크(MSK)용의 필름에 대한 모호처리를 행한다.

다음에, 상기 모호데이터 파일(DDFL)로의 데이터 저장방법을 설명한다. 모호데이터 파일(DDFL)에는, 1개의 웨이퍼상의 모든 칩에 관한 배선 패턴 데이터가 저장된다. 따라서, 1개의 웨이퍼상의 칩의 수가 예를 들면 50만개나 있는 경우에는, 모호데이터 파일(DDFL)에 저장되는 모호데이터의 양도 방대해진다. 그래서, 이 실시예에서는, 도 11에 나타나는 바와 같이, 모호데이터 파일(DDFL) 내에, 각 칩에 고유의 ROM 패턴 모호데이터(ODT1, ODT2,), 각 칩에 공통의 고정패턴 모호데이터(fixed pattern exposure data)(CDT)를, 각각의 기억영역에 기억함과 동시에, 각각의 모호데이터에 대응하여, ROM 패턴 모호데이터(ODT1, ODT2,),를 배치해야 할 위치를 나타내는 배치정보(A(x1, y1), B(x2, y2),),와, 고정패턴 모호데이터(CDT)를 배치해야 할 위치를 나타내는 배치정보(K(x1, y1), K(x2, y2),),도 모호데이터 파일(DDFL)에 저장하도록 하였다.

이것에 의해, 종래한 데이터의 기억을 생략할 수 있고, 데이터 파일 나가는 사용하는 기억장치의 용량을 적게 할 수 있다.

단, 이와 같이 하면, 전자선 모호장치가 실제로 모호할 때에 모호데이터를 합성하면서 도 12에 나타나는 처리를 행할 필요가 있다. 도 12에는, 도 11과 같이 하여 모호데이터 파일(DDFL)에 저장된 모호데이터에 의거하여 전자선 모호장치가 행하는 모호처리순서를 나타낸다.

이 일련의 처리에서는, 우선, 배열 데이터 파일(ADFL)에서 최초의 병합 모호영역(M1)의 위치정보를 판독한다(스텝 S1). 다음에, 모호데이터 파일(DDFL)에서 특정 칩의 ROM 패턴 모호데이터(ODT)와 그 배치정보(A(x1, y1))를 판독한다(스텝 S2). 이어서 마찬가지로 모호데이터 파일(DDFL)에서 고정패턴 모호데이터(CDT)와 그 배치정보(K(x1, y1))를 판독한다(스텝 S3). 그리고, 그를 ROM 패턴 모호데이터와 고정패턴 모호데이터를 합성함과 동시에 웨이퍼상에서의 모호 위치를 결정한다(스텝 S4). 그리고 나서, 1개의 병합모호영역 내의 모든 칩의 모호데이터의 판독이 종료하였는지를 판정(스텝 S5)하고, 종료되어 있지 않으면 스텝 S2로 되돌아가 다음 칩의 ROM 패턴을 모호데이터(ODT+1)와 그 배치정보(A(x1+1, y1+1))를 판독한다.

상기 스텝 S2 ~ S5를 반복하여 1개의 병합모호영역 내의 모든 칩의 모호데이터의 판독이 종료되면, 스텝 S6로 이행하여 판독한 모호데이터에 의거하여 모호를 행한다. 그리고, 스텝 S7에서 1개의 웨이퍼상의 모든 병합모호영역에 대하여 모호가 종료되었는지 판정하여, 종료되어 있지 않으면 스텝 S1로 되돌아가 다음의 병합 모호영역의 모든 칩의 모호데이터, 배치정보의 판독을 순차적으로 행한 후, 모호를 행한다. 그리고, 스텝 S7에서 모든 병합모호영역에 대하여 모호가 종료되었다고 판정되면, 일련의 모호처리를 종료한다.

또한, 상기 실시예에서는, 전자선 모호장치를 갖는 최대모호범위에 따라 웨이퍼를 특수의 영역으로 분할하고, 각 영역마다 특수 칩의 모호를 행하도록 한 경우에 대하여 설명하였지만, 전자선 모호장치 이외에도 예를 들면 노광장치에서의 렌즈의 수차가 웨이퍼의 장소(중앙과 주변)에 따라 다르거나, 에칭장치에서의 에칭액 혹은 가스의 공급방향에 의해 에칭의 진행도가 웨이퍼의 장소(상, 하 등)에 의해 달라진 경우에는, 그것에 따라 웨이퍼를 특수의 영역으로 분할하여, 각 영역에서 상기와 같은 가공오차를 적게 하도록 각 패턴을 모호한 모호를 행하도록 해도 된다.

다음에 본 발명을 적용하여 적당한 반도체 집적회로의 일례를 도 13을 참조하여 설명한다. 이 실시예의 반도체 집적회로는, 외부장치로 데이터의 송신을 행하는 송신회로(111)와, 상술의 ROM 코드 등 소정의 데이터를 기억한 내장 ROM(112)과, 외부에서의 요구 등에 따라 상기 내장 ROM(112)에서 데이터를 판독하여 송신회로(111)에 의해 외부로 데이터를 출력시키는 제1나 소정의 연산처리 등을 행하는 논리회로(113)와, 상기 각 회로(111 ~ 113)에 전원전압을 공급하는 전원회로(114)로 구성되어 있다.

이 실시예의 반도체 집적회로는, 특히 제한되지 않지만, 외부장치로 데이터의 송신을 행하기 위한 안테나부(115)를 구비해 두고, 상기 송신회로(111)는 이 안테나를 구동하는 기능을 갖도록 구성되어 있다. 게다가, 상기 전원회로(114)는, 예를 들면 전지 등이어도 되지만, 이 실시예에서는, 안테나부(115)를 통하여 외부에서 입력되는 교류신호를 다이오드 브리지(diode bridge) 등으로 정류하여 내부 직류전원전압을 생성하도록 구성되어 있다. 안테나부(115)는, 소Yd1020010107580정의 패턴 배선에 의해 칩 주변부 혹은 회로부분의 상방에 접면막으로 회로소자와 접면된 상태로 형성된다.

이러한 기능을 갖는 반도체 집적회로의 용도로서는, 예를 들면 상품에 태그로 부착되어 현재 상품에 붙어 있는 바코드 대신에, ROM에 기억되어 있는 코드를 출력하는 칩이나, 전자키에 내장되어 키 구동에 삽입되었을 때에 키코드를 출력하는 칩 등을 생각할 수 있다. 이러한 용도로 사용되는 반도체 칩은, 내장 ROM에 기억되는 코드 내지는 데이터가 칩마다 다른 것이 요구되므로, 상기 실시예의 설계, 제조방법을 적용하여 칩을 제조하면 비용을 저감할 수 있어 매우 유용하다.

또한, 상기와 같은 용도의 반도체 집적회로의 경우에는, 도 12의 송신회로(111)는 송신기능만 가지고 수신기능은 가지지 않아도 되지만, 외부장치에서의 신호를 수신하는 기능도 설치하도록 해도 된다. 그 경우, 외부장치에서의 요구에 따른 데이터를 송신하도록 구성할 수 있다. 한편, 송신기능만 갖는 경우에는, 안테나부(115)에서 교류신호를 받으면 전원회로(114)가 내부전원전압을 생성하고, 그것에 의해 논리회로(113)가 가동하여 출력신호를 생성하고, 내장 ROM에서 코드를 판독하여 송신회로(111)로 보내지며, 송신회로(111)가 안테나(115)를 구동하여 외부로 송신하는 동작을 전력원으로서의 교류신호가 공급되지 않을 때까지 반복하여 행하도록 구성하여 행하면 된다.

상기 전원회로(114)는, 비접촉형 IC카드 등으로 이용되고 있는 코일의 유도현상을 이용하여 전력의 공급을 받는 방식이라도 된다. 이 경우, 안테나부(115)는, 예를 들면 소용돌이 형상의 배선 패턴 등으로 구성할 수 있다.

이 실시예와 같이, 송신회로(111)와 안테나부(115)를 구비한 ROM 내장의 반도체 집적회로에 있어서는, 송신회로(111)와 안테나부(115)를 이용하여 도 1에 나타낸 있는 내장 ROM의 테스트 처리(P300)를 할할 수 있다. 즉, 제조된 칩에 전력이 되는 교류신호를 공급해 주면, 칩 내부의 송신회로(111)가 자동적으로 내장 ROM에 기억되어 있는 데이터를 송신해 가므로, 그 데이터와 기대치 데이터를 비교함으로써 소망의 코드가 내장 ROM에 정확히 기억되어 있는지 간단히 검사할 수 있다. 또한, 이 경우의 테스트는, 웨이퍼 상태에서도 가능하지만, 각 칩으로 절단한 후에 벨트 컨베이어(belt conveyer) 등으로 칩을 반송하고 있는 도중에 할하도록 할 수 있다.

이러한 테스트의 경우, 내장 ROM에 결합이 없고 송신회로나 논리회로에 결합이 있어 정상적인 코드가 수신되지 않는 경우도 있지만, 상술한 용도의 칩에 있어서는, 어떤 회로에 결합이 있는지가 아닌 필요가 없고, 결과적으로 정상적인 코드가 출력되지 않는 칩은 불량으로 배제하면 되므로, 상기 테스트 방법으로 충분하다.

이상 본 발명에 의해 이루어진 발명을 실시예에 의거하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능하다는 것은 말할 필요도 없다. 예를 들면, 상기 실시예에서는, 마스크에 묘화하는 경우를 예로 설명하였지만, 레티클(reticle)에 묘화하는 경우에도 적용할 수 있다.

발명의 효과

이상의 설명에서는 주로 발명에 의해 이루어진 발명을 그 배경이 된 이용분야인 칩마다 기억 데이터가 다른 ROM을 내장한 반도체 집적회로의 설계, 제조방법에 적용한 경우에 대하여 설명하였지만, ROM 이외의 칩마다 다른 패턴을 갖는 반도체 집적회로의 설계, 제조에 널리 이용될 수 있다.

(57) 청구의 범위

청구항 1.

기억하는 데이터가 각각 다른 내장 ROM을 갖는 복수의 반도체 집적회로를 1개의 웨이퍼상에 형성하는 반도체 집적회로의 설계, 제조방법에 있어서, 상기 내장 ROM의 기억 데이터를 결정하는 패턴을, 당해 패턴 이외의 복수의 반도체 집적회로 사이에서 공통의 패턴과 합성하여 형성하도록 한 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 2.

제1항에 있어서,

상기 내장 ROM의 기억 데이터를 결정하는 패턴은, 배선용의 금속층인 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 3.

제1항에 있어서,

상기 내장 ROM의 기억데이터를 결정하기 위한 패턴은, 접연막으로 형성되어 상방의 금속층과 하방의 금속층을 전기적으로 접속하기 위한 콘택트홀인 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 4.

제2항에 있어서,

상기 내장 ROM의 기억 데이터를 결정하기 위한 패턴은, 복수의 금속층 중 최상위층의 금속층인 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 5.

제1항에 있어서,

상기 내장 ROM의 기억 데이터를 결정하기 위한 패턴의 형성은, 웨이퍼 표면에 도포된 레지스트막에 대하여 전자선 묘화(描畵)장치에 의해 행하는 묘화의 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 6.

제1항에 있어서,

상기 내장 ROM의 기억 데이터를 결정하기 위한 패턴의 형성은, 당해 패턴을 웨이퍼상에 전사하기 위해 사용되는 마스크에 대하여 전자선 묘화(描畵)장치에 의해 행하는 묘화인 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 7.

제1항에 있어서,

반도체 집적회로의 설계, 제조에 있어서 사용하는 장치의 특성에 따라 웨이퍼를 복수의 영역으로 분할하고, 각각의 영역에 속하는 복수의 반도체 집적회로에 관하여, 상기 내장 ROM의 기억 데이터를 결정하는 패턴의 형성을, 당해 패턴 이외의 복수의 반도체 집적회로 사이에서 공통 패턴의 형성과 동시에 형성하도록 한 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 8.

제7항에 있어서,

상기 복수의 영역의 각각에 형성되는 패턴의 묘화(描畵)데이터는, 공통부분 패턴의 묘화데이터 및 그것이 배치되는 웨이퍼상의 위치정보와, 각 반도체 집적회로에 고유 패턴의 묘화데이터 및 그것이 배치되는 웨이퍼상의 위치정보를 포함하는 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 9.

기억하는 데이터가 각각 다른 내장 ROM을 갖는 복수의 반도체 집적회로를 1개의 웨이퍼상에 형성하는 반도체 집적회로의 설계, 제조방법에 있어서, 상기 내장 ROM의 기억 데이터를 결정하는 패턴을, 복수의 금속층 중 최상위층의 금속층으로 형성하고, 상기 기억 데이터를 결정하는 패턴과 당해 패턴 이외의 복수의 반도체 집적회로 사이에서 공통의 패턴을 합성하고, 웨이퍼 표면에 도포된 레지스트막에 대하여 전자선 묘화장치에 의한 묘화에 의해 형성하고, 합성된 당해 패턴 및 공통의 패턴 이외의 마스크를 이용하여 형성하도록 한 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 10.

제9항에 있어서,

반도체 집적회로의 설계, 제조에서 사용하는 장치의 특성에 따라 웨이퍼를 복수의 영역으로 분할하고, 각각의 영역에 속하는 복수의 반도체 집적회로에 관하여, 상기 내장 ROM의 기억 데이터를 결정하는 패턴의 형성을, 당해 패턴 이외의 복수의 반도체 집적회로 사이에서 공통패턴의 형성과 동시에 형성하도록 한 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 11.

제10항에 있어서,

상기 복수의 영역의 각각에 형성되는 패턴의 묘화데이터는, 공통부분 패턴의 묘화데이터 및 그것이 배치되는 웨이퍼상의 위치정보와, 각 반도체 집적회로에 고유 패턴의 묘화데이터 및 그것이 배치되는 웨이퍼상의 위치정보로 구성되는 것을 특징으로 하는 반도체 집적회로의 설계, 제조방법.

청구항 12.

데이터를 기억하는 내장 ROM과, 외부장치에 비접촉으로 데이터를 송신하는 송신회로와, 상기 송신을 위한 안테나를 구비하고, 상기 송신회로에 의해 상기 내장 ROM의 기억 데이터를 외부로 송신하도록 구성되어 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 13.

제12항에 있어서,

상기 안테나에서 교류신호를 수신하여 내부 전원전압을 생성하는 전원생성회로를 가지며, 상기 전원생성회로에 의한 내부 전원전압이 상승하면 상기 송신회로에 의해 상기 내장 ROM의 기억 데이터가 송신되도록 구성되어 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 14.

각각 ROM 및 그것과 협동하는 전기회로를 구비하는 복수개의 반도체 집적회로장치를 1개의 웨이퍼상의 복수개의 칩으로 형성하는 방법으로서, 1개의 칩상의 반도체 집적회로장치의 ROM이 기억하는 정보는 그 칩 고유이며, 그 이외의 칩상의 반도체 집적회로장치의 ROM이 기억하는 정보와는 다르고, 상기 방법은,

복수개의 칩상의 전기회로의 형성에 사용되는 가능성이 있는 공통배선 패턴과, 칩에 고유의 ROM 패턴을 준비하는 것과,

상기 공통배선 패턴과 ROM 패턴을 묘화(描畫)패턴에 합성하는 것과,

상기 공통배선 패턴과 ROM 패턴을 합성한 묘화패턴을 이용하여 묘화를 행하는 것을 갖는 것을 특징으로 하는 방법.

청구항 15.

제14항에 있어서,

상기 묘화는, 레지스트막상에 직접 묘화에 의해 행해지는 것을 특징으로 하는 방법.

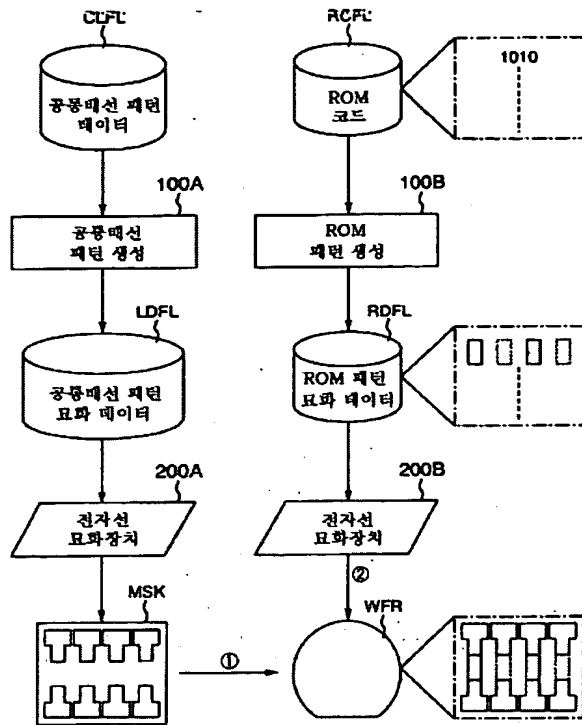
청구항 16.

제14항에 있어서,

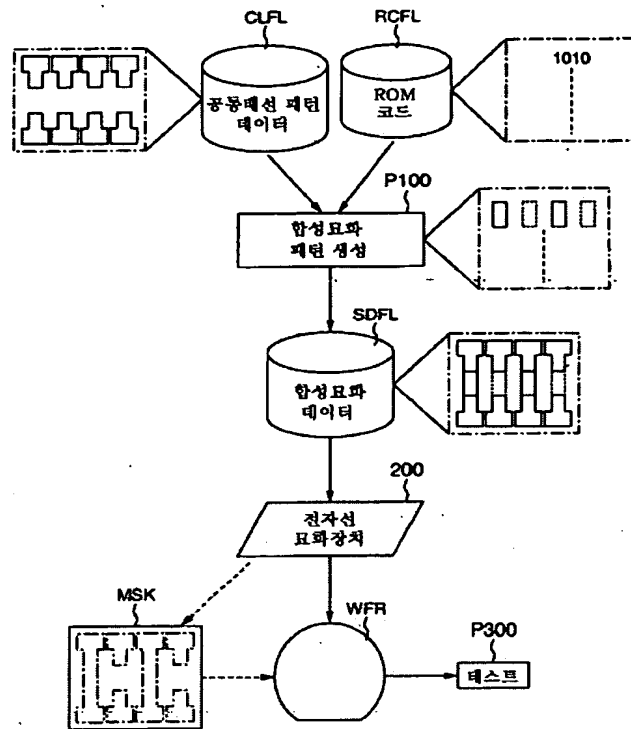
상기 묘화는, 마스크 작성을 위해 감광막상에 행해지는 것을 특징으로 하는 방법.

도면

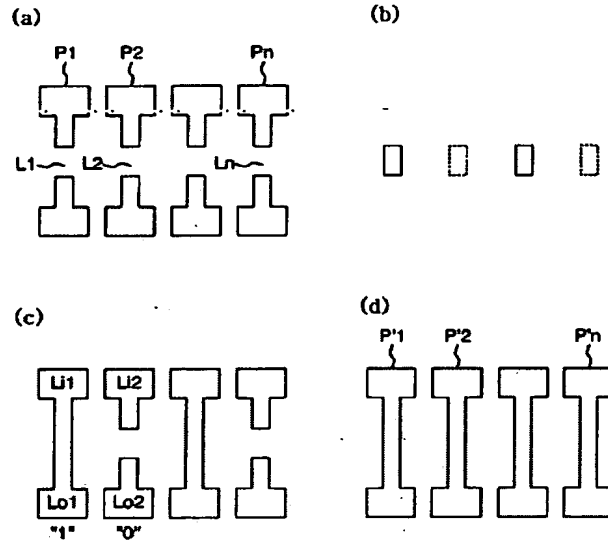
도면 1



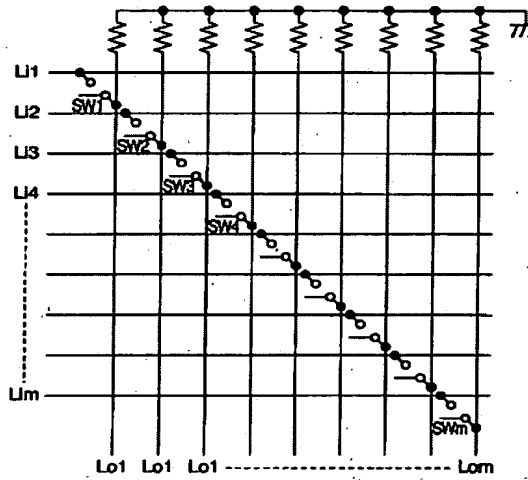
도면 2



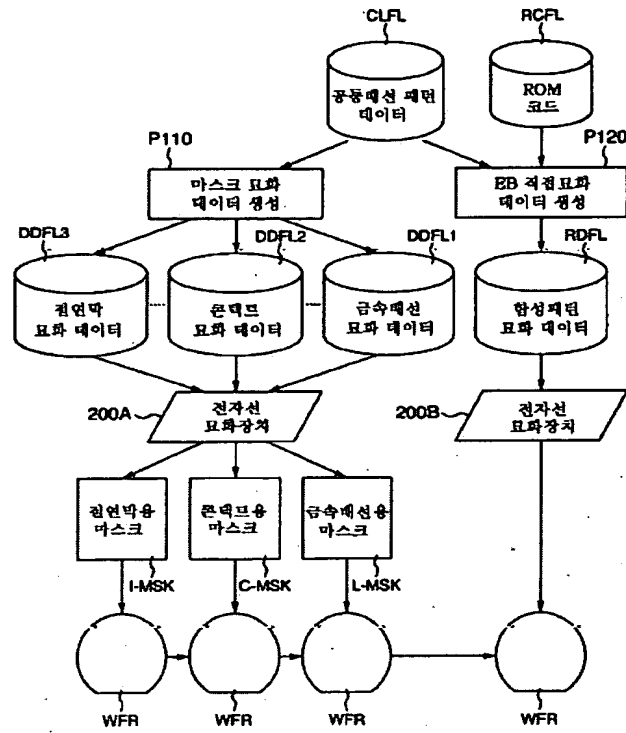
도면 3



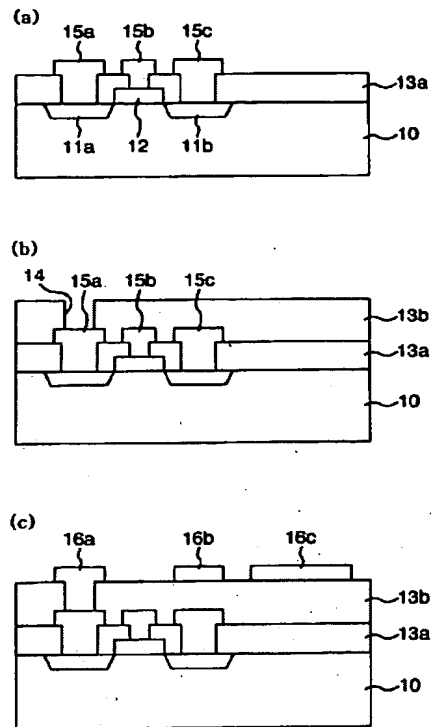
도면 4



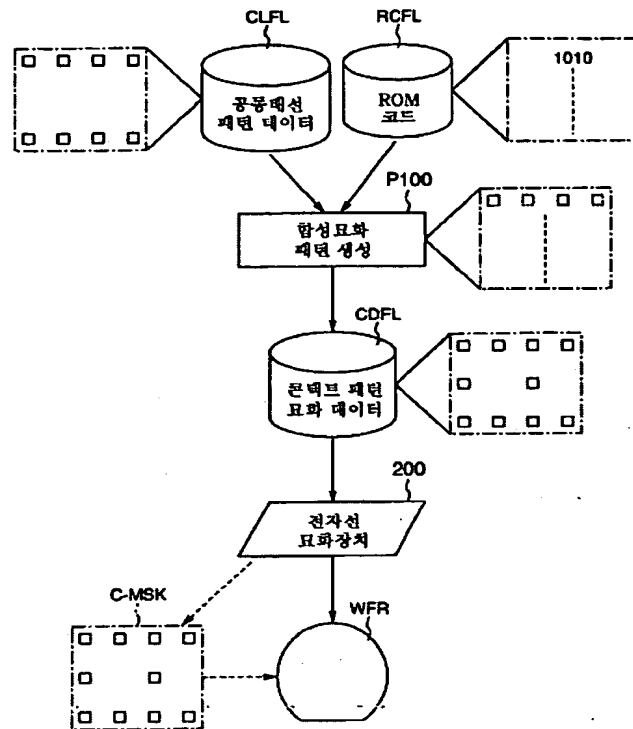
도면 5



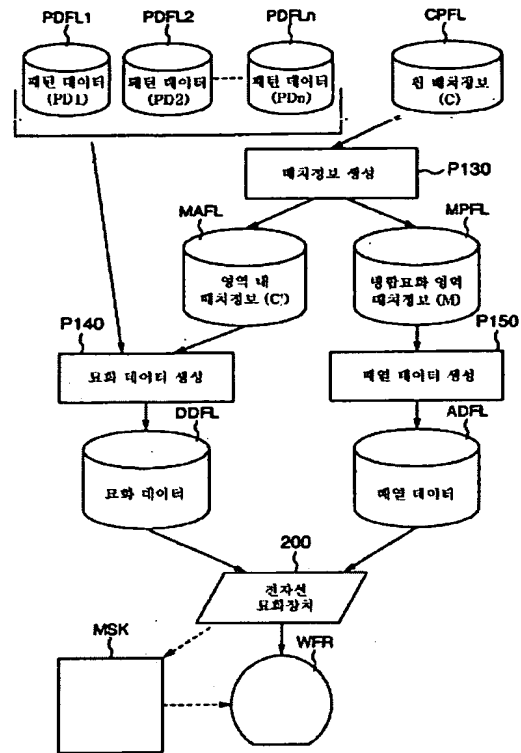
도면 6



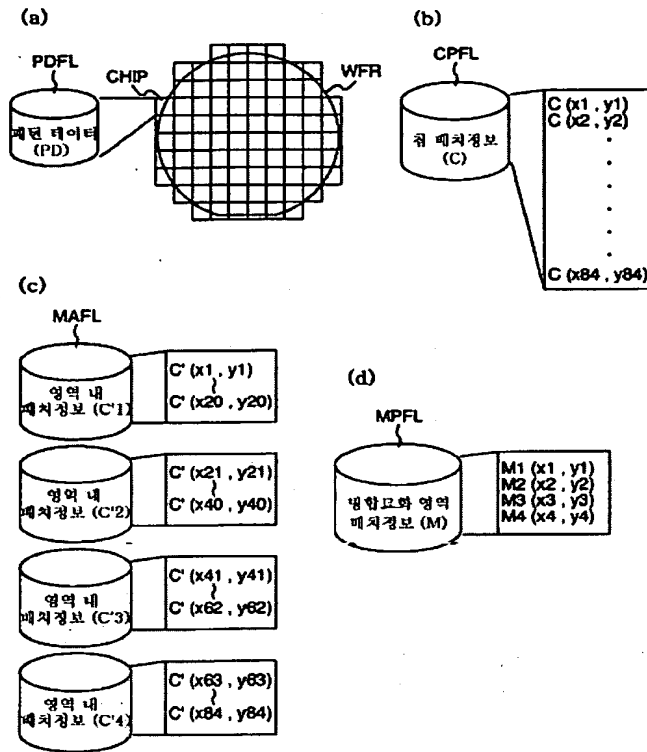
도면 7



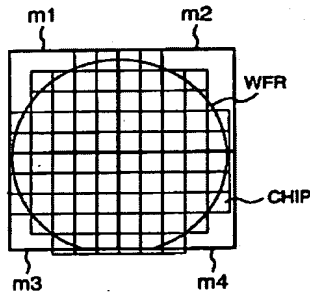
도면 8



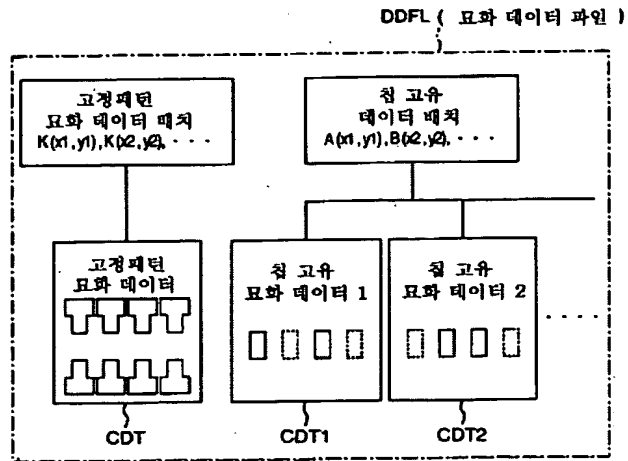
도면 9



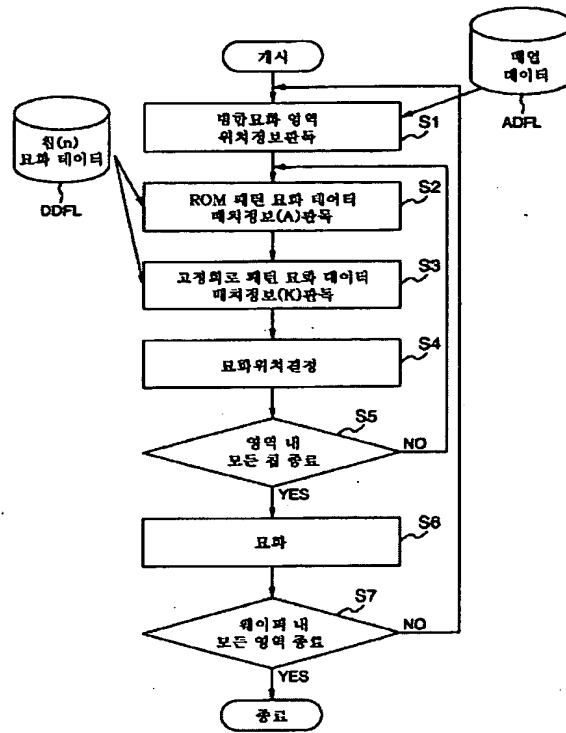
도면 10



도면 11



도면 12



도면 13

